

Flow controller for shared bus used by plural resources

Patent Number: US5448701

Publication date: 1995-09-05

Inventor(s): METZ JR WALTER C (US); RINDOS III ANDREW J (US)

Applicant(s): IBM (US)

Requested Patent: JP6261052

Application Number: US19920994849 19921222

Priority Number(s): US19920994849 19921222

IPC Classification: G06F13/36

EC Classification: G06F13/362

Equivalents:

Abstract

The flow controller utilizes intelligent adapters to connect plural resources to a bus and a central arbiter that decides which adapters have access to the bus for the next bus cycle. Each adapter has an input buffer for transmitting data onto the bus, an output buffer for receiving data from the bus and a target register that identifies the destinations of the data in the input buffer. Each adapter communicates over control lines separate from the bus the following information: if its input buffer is nearly full, if its output buffer is either nearly empty or nearly full and the contents of its target register. The central arbiter gives highest priority to those adapters having nearly full input buffers with data for non-full output buffers, next highest priority to those adapters having nearly empty output buffers with data targeted by an input buffer and lowest priority to adapters with less than full input buffers having data for non-empty output buffers.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

AL

(10) 일본국민(JP)

(12) 公開特許公報(A)

(11) 特許出願番号

特開平6-261052

(13) 公開日 平成6年(1994)9月16日

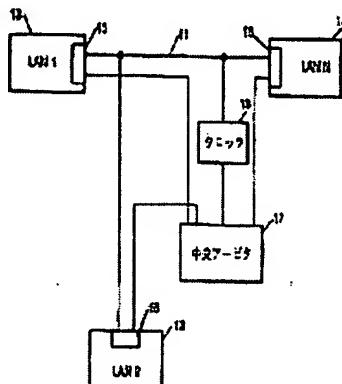
(31) Int.Cl. H 04 L 12/40 G 06 F 13/33	機器記号 310 D 804-5B 7341-5K	行内登録番号 FI H 04 L 11/00	技術分類番号 320
--	---------------------------------	------------------------------	---------------

発明の名称 用途機器の組み合せ (全18頁)

(21) 出願番号 特願平5-322053	(21) 出願人 250002531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESSES MACHINES CORPORATION アメリカ合衆国10501、ニューヨーク州 アーモンタ (番地なし) (22) 出願日 平成5年(1993)12月1日 (31) 优先権主国番号 9 9 4 6 4 9 (32) 优先日 1992年12月22日 (33) 优先権主国名 美国(US)
	(23) 発明者 ウォルター・ケード・マッフ、ジュニア アメリカ合衆国27605、ノースカロライナ 州ローリー、パート・ドライブ 1712 (24) 代理人 弁理士 今田 肇 (第3名)

最終回に於く

(54) 【発明の名称】 共用バスのフロー制御装置
(57) 【背景】
【目的】 故障の検査によって使用される共用バスのフロー制御装置を構成するニヒ。
【解決】 既存の方法をバス及び中央アービタに使用する。さらに、フロー制御装置が他のアービタを使用する。中央アービタはバス、マイクロにおいてバスへのアクセスを所要するアービタを規定する。各アービタは、バス上ペグシートを監督するための入力バッファ、バスカラーラーを監督するための出力バッファ、及び入力バッファ内のデータの処理を構成するターゲット・レジスタを有する。各アービタはバスビバの制御ラインを介して、次の情報を送る。すなわち、その入力バッファがニアリ・フルであるか、その出力バッファがニアリ・エンブディ・ガニアリ・フルであるか、及びそのターゲット・レジスタの内容である。



【構成基本の範囲】

【請求項 1】 各次席ガバストに設置されるデータを記憶する第1の記憶子回路、及び上記バスからデータを受ける第2の記憶子回路を有し、各上記第1及び第2の記憶子回路がデータ記憶容量を有する。他方の上記次席によりバスされる上記バスへの上記第2の次席によるアクセスを取得する方法であつて、

- ・1) 上記第1の記憶子回路及び上記第2の記憶子回路に含まれるデータ量のそれぞれの上記容量に対する充実度情報を読み取るステップ。
- ・2) 上記充実度情報をもつて、日付の第1の記憶子回路からデータを受けるためにバスへのアクセスを許可する実質、及び日付の第2の記憶子回路にデータを受けるためにバスへのアクセスを所有する実質を決定するステップ。

を含む方法。
【請求項 2】 上記記載の第1の記憶子回路の上記データを含む充実度の上記第2の記憶子回路に設置されるようにデータグリット情報を含む。

- ・1) 各第1の記憶子回路に対応して、上記それぞれの第1の記憶子回路のデータによりシグナルト物走される第2の記憶子回路の充実度に対するデータを読み取るターケット情報を読み取るステップ。
- ・2) バスへのアクセスを所有する充実度を判定する上記バスデータ、上記充実度情報をと一対に上記ターケット情報を読み取るためにバスへのアクセスを許可する実質、及び日付の第2の記憶子回路にデータを受けるためにバスへのアクセスを所有する実質を決定するステップ。

を含む方法。
【請求項 3】 上記記載の第1の記憶子回路の上記データを含む充実度の上記第2の記憶子回路に設置されるようにデータグリット情報を含む。

- ・1) 各第1の記憶子回路に対応して、上記それぞれの第1の記憶子回路のデータによりシグナルト物走される第2の記憶子回路の充実度に対するデータを読み取るターケット情報を読み取るステップ。

を含む方法。
【請求項 4】 各次席がバス上に設置されるデータを記憶する第1の記憶子回路、及び上記バスからデータを受ける第2の記憶子回路を有し、各上記第1及び第2の記憶子回路がデータ記憶容量を有する。他方の上記次席を相互接続するバスを用いる上記第2の次席によるアクセスを含むデータ処理システムであつて、

- ・1) 上記第1の記憶子回路及び上記第2の記憶子回路に含まれるデータ量のそれぞれの上記容量に対する充実度情報を読み取る手順と、

を含むシステム。

【請求項 5】 各上記第1の記憶子回路の上記データを含む充実度の上記第2の記憶子回路に設置されるように

- ・1) 各第1の記憶子回路に対応して、上記それぞれの第1

の記憶子回路内のデータによりターケット情報を取得する第2の記憶子回路の実質に因するターケット情報を取得する手段と、

- ・1) 上記第1の記憶子回路と上記充実度情報をと一対に上記ターケット情報を読み取る、日付の第1の記憶子回路からデータを受けるためにバスへのアクセスを許可する実質、及び日付の第2の記憶子回路にデータを受けるためにバスへのアクセスを所有する実質を決定する手段と、

を含む。請求項 1記載のシステム。

【請求項 6】 1台のバスを介して複数の充実度を有するデータ処理システムで使用されるプロト・充実度装置であつて、

- ・1) 上記バスに接続される充実度のアタブタを含み、少々くとも1個のアタブタが各充実度に対応して存在し、各アタブタは充実バッファ、送信バッファ、及びターケットレジスターを含み、各アタブタの上記ターケット・レジスターがそれぞれの充実バッファ内のデータによりターケット情報を読み取る充実バッファに関する情報を含み、

・1) 明確ライセンスに沿う各アタブタに接続されるアービタを含め、上記明確ライセンスが各アタブタから上記アービタに、それぞれの充実バッファの充実度、及び上記アービタ内に記述されるそれぞれのアービタ・ターケット・レジスターにロードされるアタブタ・ターケット・レジスターの内容に因する情報を収容し、上記明確ライセンスが上記アービタからも上記アタブタに、基アタブタが充実バッファまたは上記バッファのいずれかによりバスをアクセスする場合に因する情報を読み取る、

プロト・充実度装置。

【請求項 7】 上記アービタが、

- ・1) 上記明確ライセンスに沿う各アタブタから送信される上記情報から、各フルの充実バッファに対応するデータセフルに応じてあるいは充実バッファを含む充実各バッファの選択のセットが存在するが各が別個する手段と、

・1) 上記第1の選択各バッファのセットを有する上記アタブタによりバスへのアクセスを許可する手段と、

を含む。請求項 6記載のプロト・充実度装置。

【新規の技術を説明】

【0 0 0 1】

【新規の技術分野】 本発明は、戸用バスを介してデータを相互接続する充実度の充実を有するデータ処理システムに関するもの。

【0 0 0 2】

【従来の技術】 データ処理システムにおいて、複数の実質を相互接続するために、戸用バスが利用される。例えば、データ：バスが持つ各ローカル・エリア・ネットワーク（LAN）により共用される。LANは戸用データ・バスを介し、相互間でデータを転送する。

【0 0 0 3】 逐一のバスを使用する多くの実質において

生する潜在的の弊病のため、バス上におけるデータのトラブルを引き起こす発展性が危れされなければならぬ。実際問題は電車により生産されるトラフィックをバス上にバスしたり、トラフィックを高減させたり、トラフィックをバスカラフロッカすることにより、バス上のトラブルを引き起こす。既往の歴史では、常にバスへハシメたはフロッカするゲート技術を採用する。
【参考】
（1）バス車両の車内に、運転席の前部にバスオーディオ

ヒカルテークのトラフィックをモニタするアービタを適用す

アービタは典型的には、どの特定の資源がバスへのアクセスを獲得するかを決定する技術社機器を使用する。

アービタはバスから降りる。高橋がバス上にデータを渡さずとも異常が生じると、これは矢本をバス上に差出してアービタに渡さず。アービタは

異求をキューに入れ、ビの実現がバス上に送信可能な時を測定する。以上の3つの操作は並行して実行される。

有効である。バスはこうしただけでなく乗客を収容するためにも使用され、更にアービタと実業との間で情報を伝達するために監視用カメラが使用されるために、バスのデータ伝送容量が低減される。

【00006】又に既来のアービタは、任虚のバス・アカセス実業のリース(さわらば受信料實業)だけを寄貰する。アービタは受信料實業の状況を考慮しない。従つて、既時價額割引率タグはそれで生むい待定の支度額

実現が、処理データを失いてしまう可能性がある。この状況は実現の頻率が低いと想定しない。

〔本邦の上古民族の歴史と文化〕

「運転免許試験」とする説明。本実験の目的は、公用バスをアクセス可能な特定の資源を想起するフローの習得

精度を保持することである。この精度は、バス上におけるデータのスループットを最大化するため、バスの使用中におりてもバスのパックグラウンドで動作する；
（ルーティングや各バスへの口脚）；コントローラを複数

するバス・データを有さない近距離運送は最小化するよう、近距離貨物輸送、長距離貨物輸送にもモビリティバスをアクセスマ可能なバス実現を目指す。戸内バスのためのフロ

【08-09】
【疾患特徴を説くための子版】本発明は、疾患用で疾患
されるバスへの枚数の算出によるアクセスを抑制する方

タ及びシステムを操作する。各資源はパス上に送信されるデータを配信する第1の配信手段、及びパスからのデータを受ける第2の配信手段を有する。第1及び第2

テラセを立ち上る。そこには記憶子段である。また、記憶子段の記憶子段の各々はデータ記憶容量を有する。本発明の方針は、第1の記憶子段及び第2の記憶子段の各々に含まれるデータ量に応じて記憶装置情報を得る。次に本発明の第一実施形態について述べる。

昇明は、この死別慶祝会から、どの貴族がその間に1の記憶を失ひ、またデータを喪失するためにバスへのアクセスを所持するか。またどの貴族がその間に2の記憶子間にデータを喪失するためにバスへのアクセスを所持するかを決

七

【0.010】本発明の1実施によれば、各第1の配管子回路内のデータによりターゲット作成される第2の配管子回路の漏斗により因するターゲット性状が得られ、この性状が先発明性状と一対一に映射され、ビの状態がバスへのアクセスを所有するカが決定される。

【0-011】本発明の点の態様によれば、バスへのアクセスを所要する実現の決定が、充満度情報及びターゲット情報を、各コントローラーの記憶装置に付

ト付近から、フルスケールで記憶子成の記憶子成に図示する。タテでフルに並びしている第1の記憶子成を含む、第1及び第2の記憶子成の第1のセレクトが存在するが各ガの実行を含む。第1のセレクトが存在しない場合、

本発明はエンティ状態に近い別の記憶手段、及びそのエントリと状態に近い別の記憶手段間にデータを

のエフファイ伏板に近い所の配管字典をデーターフレット作成されるデータを有する第1の記憶装置を含む。第1及び第2の配管字典の第2のセットが存在するが場合を有する。第2のセットが存在する場合、そのセットがバ

スへのアクセスを優先される。
【0.0.1】 本発明はいくつの方針により、バス上におけるデータのスルーフローを最大化する。並に、本発明はバスのバックグラウンドにおいて動作する、バス

は次の順序でラジングが中央アビビタに対し、各部屋内の記憶子段の充満度検証。及びバス上にデータが送信されるのを待機中のターゲット実況に囲むする待機モードを先送る。これにより中央アビビタは、バス上のアビビタを監視す

これによると中東アーピタは、バスへのアクセスを確保する実績を決定するために必要な情報だ。バスが車両導入する必要があるとなる。更に中東アーピタは、実現度のデータ収集にバスが採用されている間にアクセスを決定できる。

る。このようにアービタがアクセスを決定するにによって、バス時間が変わることのがなくなる。

するために、透析器記録子段の初期化演算を実現する。更にニアリ・フル状態の透析器記録子段によりデータガターライド判定される任意の透析器記録子段が、柔うる^{Indemnify}となり、マーカーの操作が可能である。^{Indemnify}

が復活される。こうしたセットが見い出されない場合、本分明には愛情記憶字眼の相愛情ラティニス (Leptilus) を歩き、いすれかの愛情ラティニスがニアリ・エンプティ (nearly empty) であるかを判断する。こう

したエイケン紀録字版が見い出され、それに対応するデータがある。然るエイケン紀録字版内に存在すると、そのセットの紀録字版がパスへのアクセスを焼掉される。これによりエイケン紀録字版がエンティ状態になることが可能となる。

れ、それぞれの演算データの次元により如何に使用されることがなくなる。
【ひびき】

【英語版】④はおものが飛行システムのブロック図を示す。この飛行システムは高橋等がバス1.1上において、データのフローを示す。バス1！はローカル・エリア・ネットワーク（LAN）などの伝送の実装アダプタ。互いに接続するためには、バス1.1はアダプタ1.5を介してバスに接続される。データの実装に対するアダプタが存在する。

【図5-1-8】アダプタ1.5は、奥側には、拡張の実装のインターフェース・セクьюアルである。裏側には、バス1.1のLANはアダプタ1.4によりバスに接続され、出力のLANはアダプタ1.2によりバスに接続され、バス1.1のLANはアダプタ1.3によりバスに接続される。アダプタ1.5はLANアダプタを介して互いに接続する二つを記述する。クロック1.5は全てのLANとCPU側の拡張システムを互いに接続するためには、アダプタ1.6及びこのアダプタに接続されるホストアダプタ1.7を作成する。

【図5-1-9】図2を参考すると、各アダプタ1.5は入力・出力バスアダプタ1.2を含む。これはバス1.1に接続される。入力バスアダプタはそのアダプタのLANからデータを受取る。アダプタ1.4はその入力バスアダプタ1.2がバス1.1上にてデータを生成し、出力バスアダプタ及びLANに接続する。またアダプタはデータをバス1.1からその出力バスアダプタ1.2に送信する。アダプタ1.5は次にデータを出力バスアダプタからそれを他のLANに接続する。入力バスアダプタ及び出力バスアダプタは、因にされていわゆるライセンスにより、それそれを他の端末に接続する。

【図5-1-10】中央アービタ1.7は、どのアダプタがどの入力バスアダプタ1.2からバス1.1上にてデータを生成可能かで、どのアダプタがバスからの迷惑データとその出力バスアダプタ1.2に迷惑を受け可能かを判断することにより、アダプタ1.5を制御する。このようにして、中央アービタはバスにむかうデータ・フローの制御を維持する。

【図5-1-11】バスにむかうデータ・フローを抑制するために、網状遮断システムは入力バスアダプタがほどんとビルでなるガバガ、及びほどんビルの入力バスアダプタがラーダーと表れる出力バスアダプタが存在する。ガバガを判断する。こうした人出力バスアダプタのセットが存在すると、これらのがバスアダプタはアダプタ1.2がアービタにより、バスへのアクセスを許可される。これは入力バスアダプタがその容量以上にデータを記録されるとバス1.1上にてデータの限界を越えてバスがフルになると、ほどんビル形状の入力バスアダプタが存在しない場合、網状遮断システムは、出力バスアダプタガバニアリ、エンブティアリであるガバガ、及びニアリ・エンブティの出力バスアダプタに制御するデータを記録する入力バスアダプタが存在するかを判断する。こうしたバスアダプタのセットが存在する場合、これらのバスアダプタはアダプタ1.2がバスをアダプタする過程を遮断される。これにより、出力バスアダプタする過程を遮断される。これにより、出力バスアダプタ

内にデータが保管され、それぞれの実装は専門的取扱いが必要となる。例って、その名前通りであります。ニアリ・エンブディの出力バッファが存在しない場合には、専用記憶システムは次に、単にデータを入れることのできる出力バッファの出力バッファを存在する。専用記憶システムの出力バッファは、その出力バッファにデータを送るデータを有する人間バッファに端末される。

【02020】を終え良文レベルの約1/4が先生する所で、1回では全フルの出力バッファに付帯するデータでニアリ・フル状況の入力バッファがセラトーン付する。

時、バッファ、アピアはアピアの所定の最大入力を視認し、その場合をフレーカーする。最大入力を許容的であったり、四つ以上是正規社などに長い意味であつたまゝ、最大入力を生産するためには是正規社等が採用される。時は良文先生はそれを防ぐために最大生産量が採用される。又は良文先生は、専用バッファエンブディになる前か、又は入力バッファが構成される部分にもヒビを設ける。良文のバッファは最悪のバッファに比較して、バッセをアセスする結果を本部に伝達される。

【02021】ここで述べられるアタフタ1/4は「前のアタフタ」と呼ばれる。あたフタは1回または複数のマイクロプロセッサ、ナキナメモリ、及び仕込まれる部品を組成するための適度なマイクロコードを含む。ナキナメモリに入力及び出力バッファを間に仕込まれたは該部位に区分される。

【02022】バッファは入力及び出力カバッファに区分されるデータを、専用記憶部は該部位に付属する。又に各アタフタは、仲介データをバス上に忠告するが、入力カバッファの場合は、アタフタのLANに忠告するために入力バッファの場合、それぞれのバッファから操作することができる。更に各アタフタは、その入力カバッファを操作したプロロック、アタフタのターゲットまたは丸出しLANを生成するために、ヘッド、データを置き換えることができる。例へばアタフタが1号、LAN3にバスを介してアタフタを伝達するため、自分のLAN3からデータを忠告する。アタフタ1号は、アタフタ2号の出力カバッファが何時生のプロロック、アタフタのターゲットであると判断する。各アタフタは、この情報を操作するためのヘータクト、レジスタRを有する。各ターゲット・レジスタRはnビットを有し、1ビットが各アタフタに対応する。各レジスタRはn番目のフリップ・フロップのシリスタである。アタフタ1号に忠告するビットTR1:11、アタフタ2号に忠告するR1:11などは、四アタフタ1号、2号などの出力カバッファを忠告することになるが、属性化のためターゲット・レジスタRはnビットを有するようになれる。実際には、あるアタフタが自身の入力カバッファから自身の出力カバッファにバスを介してデータを忠告することはない。

【02023】アタフタ1号はまた、中大アピア1.7と通信するもので、1回または複数の所持ライセンスを保持する。所持ライセンスは中大アピア1.7に対しアタフタの

入力バッファ¹とRISIがカバップ²です。その名前、RISIのアタッカ³のハバッガ⁴内のコータ⁵ガーット⁶が走される出力バッファをアドバイスする。特に、各アタッカ³は常にボリュームラインを有する。すなわち、音量ライントリップ⁷、TO.III⁸、FI⁹、及びU¹⁰である。音量ライントリップ⁷は、ガバウム強度を示す、これはアタッカ³のハバッガ⁴が走された開閉装置を示しており、オーバーフローの発生が生じていることを示す。従って、TO.III⁸がハイであるとき、これはアタッカ³の1入力のハバッガ⁴アリ¹¹・フルの状態を示すことである。入力バッファ⁴がその他のいくらくかをオペレーターに指示することを可能とすれば、LN1¹²からLN2¹³の入力ハバッファ⁴に転送される出力テーキーのうちからが走られる可能性がある。なぜなら、入力バッファ⁴がその名前を示すと充実されるからである。音量ライントリップ⁷は、ガバウム強度であるとき、アタッカ³の出力バッファ⁴が走された開閉装置を示して走り去る。エンブリック¹⁴による監視装置を示す。従って、TO.III⁸がハイの場合は、アタッカ³の出力バッファ⁴はヒンハイブランプ¹⁵状態である。音量ライントリップ⁷がガバウム強度であるとき、これはアタッカ³の出力バッファ⁴がフル強度である。データ¹⁶の強度が不正確であることを示す。従って、データ¹⁶がこれに一致せばならない。

[図2-4] ラインUHは、アタッカのターゲット・レ

ジタ・R1の内容をシリアルに中大アービタ17に送信する。中大アービタは各アタブタに対応するレジスタ・Rを有する。各中大アービタ・レジスタRは、 $\frac{1}{2}$ 個のプリコード・ワードを各4段階で記憶する。データ・ライセンスL1は

ラブ・ラロップがら書かれる。表つて、ライントーはアタブタのレジスター内の変化により中えアービタを見出す。

【D-2-5】中大アービタ17は、レジスターR1に加え、中大アービタ1レジスターを更新する四端子回路を有する四端子回路である。動作原理はアービタ1と同様である。

R1を更新する中央アービタ処理を不正ブロック因が不される。負荷ラインUIHは2進クリアル・ライシであり。 m ビット・シフト・レジスター1の入力に接続される。ここで $m=1..n-2$ in1の数を割りり上げた被数

シフト・レジスタのmビット出力は、m×n テコータ-8のmビット入力に接続される。テコータ-8

8はまたイネーブル入力8を有する。テコータ8の出力は8ビットのシフト・レジスタR1に接続される。
【図2-2】 図3の検査回路の動作を説明するために、

「ううう！」彼の歓喜溢れる動作を説明するために、最初にアタフタキ・ガアタフタキミからパケット・テー

タを差したところを見ると、10.1%位の中大アーピタ・システムタリ 181 はそのあたりで止まっている。アタラクタは11.2%位で止まっている。これは、アタラクタのアーピタは2段階で止まっている。10.1.11をマイナス11.1位で止まっている。中大アーピタに隣接するアタラクタはアーピタに隣接する。この位置はいかがしてアタラクタ 181 に止まっているのか? テコーザ 181 には止まっている。テコーザの左側がライアンガード RII 181 を 8.9±6.1 にフリップする。アタラクタがアガフリオ 181 に隣接して止まる最後のゲートは、テーゲーを通過する。ヨーロッパケンの最後が RII 181 を 1 カラ 0 にフリップする。

【0.0.2.2】各アーティストは更にラインナップを紹介し、中大アービタに接続される。ラインナップ中アービタ

ピタゴラオラキニに對し、ヨリガ次のバヌ・トランシヤクシヨンにおけるバヌへのデータの危険性であることを説明するためには利用する。ライ昂日は、中大アービタガラタラキニに對し、ヨリガ次のバヌを取ることを開始するためには利用する。

〔6.6.6〕兩輪ライシヤ用、輸入車、E.I.
M.G.の車輌用等の車輪を製造する。

UI、UI及びUIは個別のラインとして示されているが、それぞれのアタラヒと中央アービタの間のシリアル・バスを使用することにより、ライン数を減らすことが可能である。シリアル・バスはアタラヒ中央アービ

25の門を駆け抜けを無視する。例えは、T-111、

TOEFLスピーチにより伝達される情報に等価な情報を、全て2道コードを使用して、单一のラインに沿って

シリアルに伝送されても良い。この場合、符号化及び復号化処理が問題で必要となる。回線に MIDS に符号化したデータを、会員登録用のデータとして登録する。

な情報が、全てのアラブタに送られるシリアル・バス

にねって標準を定めて貰ひたい。標準の規格及び特許を不^可能なコード、又はひきの必要性等が付与される場合、第1のバースト・データが次の選択肢として選択するアタラクションを示し、第3のバーストが次の選択肢として

【D B S D】 優秀な複数ラインまたはシリアル・バスのどちらの長所が利用されようか、通常距離はバス1:1比または1:2:1比で、各方向に複数のバスを用いる。

独立である。駆除ライセンスにおけるシリアル番号が、各バス上の効率と同時に且つ暴風雨に発生するため、バス性能への影響を最小化する。

タブタにより見附されるし、ジスタR1以外に、どのアタブタがバスへのアクセスを所有するかを判別するための試験四回を含む。図49は空図面。アタブタにより接続される各モードライバ、並びに各モードライバと接続

される明暗ライクから、逆の明暗ライクを生成する新開発である。図1における「明暗ライクAI」は、

題四部を示す。図4において、網掛ラインAIは、アタフタ#1に付随する中央アービタ・レジストリ、及びアタフタ・ラインF1/F2ラルF1によって生成される。ラインAIが初期状態の時、これはアタフタ#1がその入力

対応するデータを有する二つを示す。図4に示されるように、左側のANDゲートE1が作成され、1ゲートがレジスタRIの各ビットに対応する；右ANDゲートE1は入力Aを有し、それをレジスタRIのそれぞれE1番目のビットへ及びOR対応するラインP1の反対に接続する。ANDゲートE1の全ての出力は、各ORゲートE1のそれぞれの人力に接続され、ORゲートE1の出力は前段E1で示される。

【図5】図5は前段ラインD1を生成する構造図形を示す。ラインP1が前段状態の時、これは左のアラウド入りカバーフラップ；アタフタ#1の出力パッファに対応するE1が存在することを示す。中大アーピタ内の中の各レジスタのE1番目のビットが、ORゲートE1のそれぞれの入力に接続される。ORゲートE1の出力は前段ラインD1で示される。

【図6】図6は前段ラインD1を生成する構造図形を示す。E1が前段状態の時、これはアラウド入りカバーフラップ；ガモの入りカバーフラップ；アタフタ#1の出力パッファで示される。左側のアリ・エンブディの出力パッファは、E1番目のANDゲートE1が接続され、各ANDゲートE1は2入力を有し、それぞれの入力にはレジスタRIのそれぞれE1番目のビット及びラインP1のE1が接続される。ANDゲートE1からの出力は、ORゲートE1のそれぞれの入力に接続される。ORゲートE1の出力はラインP1で示される。

【図7】前段ラインA1及びD1は更に2つの前段ラインP1、左側も右側も生成用の前段回路T1に接続される。ラインP1が前段状態の時、これは少なくとも1個のアラウド入りカバーフラップが存在する。ラインP1が前段状態の時、これは少なくとも1個のアラウド入りカバーフラップが存在する。左側のアリ・エンブディの出力パッファが存在する。E1番目のANDゲートE1が存在し、各ANDゲートE1は2入力を有し、一方は前段ラインT1に接続され、他方は前段ラインA1に接続される。ANDゲートE1の出力はORゲートE1のそれぞれの入力に接続される。ORゲートE1の出力は前段ラインD1で示される。

【図8】図8は前段ラインD1を生成する構造図形を示す。ラインP1が前段状態の時、これは少なくとも1個のアリ・エンブディの出力パッファが存在し、このパッファに對応して、少なくとも1個のアラウド入りカバーフラップ内にE1が存在する。E1に對応してD1が1であることを示す。左側のANDゲートE1が存在し、各ANDゲートE1の一方の入力は前段ラインD1に接続される。ANDゲートE1の出力はORゲートE1のそれぞれの入力に接続される。ORゲートE1の出力は前段ラインD1で示される。

【図9】前段ラインは中大アーピタ1の種々の構造回路に接続される。これらの回路は通常及び受信側のアタフタを接続する。前段ラインE1は少なくとも1個のアラウド入りカバーフラップに接続可能なデータを有する。少くとも1個のアリ・フルの入力パッファが存在することを示す。中大アーピタ内の中の各レジスタのE1番目のビットが前段回路T1に接続する。前段ラインE1は少なくとも1個のアラウド入りカバーフラップに接続可能なデータを有する。ニアリ・フルの入力パッファが存在しないことを示す。図9及び図10の構造回路が使用される。

【図10】最初は、図9及び図10の構造回路について説明する。これらの回路はニアリ・フル状態で、データを大さか放性のままの入力パッファが存在する時を示す。図10に示される構造回路は、出力M1、E1にセッティングすることにより、最初アタフタ、入力パッファP1を接続する。左側E1にアリ・フルの入力パッファが存在する場合、第1のパッファ・アーピタ#1は、最初にパッファへのアクセスを要求するニアリ・フルの入力パッファP1及び他のアラウドを接続する。最初アタフタが接続された後、次々アタフタ；その出力パッファP1が、図10の構造回路に示されるE1にセッティングすることにより接続される。最初アタフタは、ニアリ・エンブディの出力パッファが存在するか否かを判断することにより、選択される。存在しない場合、前段回路はニアリ・フルの出力パッファが存在するか否かを判断する。存在する場合、前段回路はニアリ・フルの出力パッファが存在するか否かを判断する。左側E1上のニアリ・エンブディの出力パッファが存在するが、左側E1上の各アラウドの出力パッファが存在する場合、第2のパッファ・アーピタ#2が最初にバスへのアクセスを取得する出力パッファを決定する。

【図11】図9の回路は他のE1回路に接続する。Z1及びZ2で示される当該の入力セッティングは、左側のANDゲートE1により接続される；即ち左側のANDゲートE1は前段ラインP1に接続される入力セッティングは、右側のANDゲートE1により接続される；即ち右側のANDゲートE1は前段ラインP1に接続される入力セッティングは、左側P1にP11で示される。左側E1の出力セッティングはP11、右側E1の出力セッティングはP12、左側P1にP11は、第1のパッファ・アーピタを通過アタフタに接続して左側の前段回路にプログラムする。入力P1にP11は、パクトルである。右側はラインP1が接続され、1位アタフタ#1に對応する前段回路のE1番目のビット「1」はコード1を示す；例えば左側のアタフタが存在する場合、左側P1にP11は2本のラインを有する。そして、アタフタ#1はラインP21、P22、及びP23を有し、アタフタ#2はラインP21、P22、及びP23を有する。

【図12】入力P1にP11はアタフタの選択回路を実現するようにプログラムされる。例えばアタフタ#1がパッファ・アーピタを有する場合、その入力P1にP11は111は進波1であり、アタフタ#2が2段目にパッファ・アーピタを有する場合、その入力P

11時、は110である。入力P1、In1が静的である場合、各ラインを所定の電圧に接続することによりフローラムされ、入力が無効な場合、アタフタに応応する最大電圧が比例としに変化する。

[00, 04] 図-11を多方面とす。図-1のループアーティア-7ビタリ-1が示される。図-2のステータス-6、-5、-6、-7が復帰される。各ステータス-6はANDゲート-5,7をなし。それらの出力は全てORゲート-5,7の入力に接続される。図-1のステータス-5,6は入力P1,11の見上位回路の既成性を判定する。このようにして、図-1の日のステータス-5,6は入力P1,11の見上位回路の既成性を判定する。各ステータス-6に接続する。図-1のANDゲート-5,7が復帰されると、各ゲートがANDゲート-5,7に対応する。図-1のANDゲート-5,7は一方の入力がそれを他の入力で、に接続される。他の入力がラインP1,11に接続される。ここではステータス-5,6に接続し、P1,11はアタブアードに接続する。例えば図-1ステータス-1のANDゲート-1は、その入力がP1,11及びP1,11に接続される。ANDゲート-1の出力は、ORゲート-5,7の出力をそれが他の入力に接続される。各ステータスはまた他の既成性回路やゲート-7,1を有する。ORゲート-6,8の出力は、各ゲートが該当ゲート-7,1の一方の入力に接続される。図-1日の専用的既成性ゲート-7,1の他の入力は、ラインP1,11に接続される。従って、図-1のステータス-1の専用的既成性ゲート-7,1のP1,1の入力を有する。各専用的既成性ゲート-7,1の出力はインバータ-7,2により反転され、ANDゲート-7,3の入力に接続される。他のANDゲート-7,3が存在する。図-1のステータスでは、図-1日のANDゲート-7,3の他の入力は、入力P1,11に接続される。図-2、図-3データによる結果では、図-1日のANDゲート-7,3の他の入力は、全般的のステータス-6の他のANDゲートの出力に接続される。アーピタの見上位回路のANDゲート-6,3のANDゲートの出力は、M1とM2で示される。

これらのラインは内見壁面に印字された「B」の説明四部に記入される。この四部は必ずアラブ数字で記載する。左アラブ数字に対し、右側では右回りの四部「7」が記載される。四部「7」は、既存する。左四部は、「各部の内1のステータンドゲート7」、2部の内2のステータンドゲート7等、「8」、「1」、及び左側のORゲート3部を有する。右カバーリアは左四部同様に既存され、左四部「8」はANDゲート7、ANDゲート7、ANDゲート7、ANDゲート7、1、ORゲート8と記載する。各四部「6」内には「各部のこうした左四部「6」が存在する。左部のタブゲート6のうち、「1」四部のアラブ数字が左アラブ数字として記載される。各四部「7」は「各部の」左四部「6」として記載される。左四部「7」の全ての組合せは左アラブ数字に対応する。左四部「7」の全ての組合せは左アラブ数字に対応する。左四部「7」の左四部「6」の内見壁面に印字される。左四部「7」の左四部「6」の内見壁面に印字される。

4回路 8.5 円において、第1ステージANDゲート71の左側の入力は、レラストアVRのそれぞれの毎日のピットに接続される。2番の第2ステージANDゲート79、81が存在する。エアリ・エンブレイズのAN

はして枕用されぬ御内四脚がなれ。図1の四脚は又ちアラブを馬に見せしために作成される。この四脚は、アーリー・エジプティの造形力アラブを有するアラブタリードを失し、又に手つなぐ出カバッファを有するアラブタリードが作成される。出カバッファを有するアラブタリードを定義する。出カバッファタリードとしては、選択された毛皮アラブに対応するデータを有するデータが選択される。

B 9 の出力は、OR ゲート 1-0-1 の入力に接続される。OR ゲートの出力はライン 2 である。[D 0-4-6] 第 9 のバッファ、アービタ 9-1 の出力は R1 及び R2 である。これらは OR ゲート 1-0-1 の出力に接続される。[D 1-0-1] 第 9 の四脚は、[D 1-0-2] 第 9 の四脚は、R1 及び R2 である。R1 及び R2 の四脚は、R1 及び R2 の四脚に接続される。R1 及び R2 は、R1 及び R2 の四脚に接続される。

[D 0-4-7] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-8] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-9] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-10] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-11] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-12] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-13] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-14] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-15] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-16] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-17] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-18] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-19] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-20] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-21] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-22] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-23] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-24] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-25] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-26] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-27] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-28] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-29] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-30] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-31] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-32] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-33] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-34] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-35] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-36] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-37] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-38] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-39] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-40] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-41] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-42] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-43] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-44] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-45] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-46] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-47] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-48] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-49] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-50] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-51] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-52] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-53] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-54] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-55] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-56] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-57] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-58] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-59] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-60] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-61] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-62] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-63] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-64] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-65] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-66] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-67] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-68] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-69] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-70] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-71] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-72] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-73] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-74] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-75] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-76] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-77] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-78] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-79] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-80] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-81] 第 9 の四脚は、R1 及び R2 である。

[D 0-4-82] 第 9 の四脚は、R1 及び R2 である。

の入力バッファを有するアタブタガ、入力バッファのオーバフロー及びそれに伴うデータ損失を防止するためには、バッファ、アタブタガ #1 ガニアリ・フルの入力バッファアを有する場合、それは他のライン T1-111 をハイにセッティングする。アタブタガ #1 ガタブタタガ #2 に接続するデータを有する場合、そのレジスタはそのことを R1-121 を 1 にセッティングすることによります。アタブタガ #2 ガバッフルの出力バッファを有すると、これはライン F2 モードに接続する。R1-121 = 1 且つ R1-120 = 1 のので、R1-121 を 1 と生成する。T1-111 = 1 且つ R1-120 = 1 のので、R1-121 を 1 を生成する。

[D 0-4-83] アタブタガ #1 ガフルの出力バッファだけに接続するデータをその入力バッファに有する場合、R1-121 のために R1-120 = 1 となり、アタブタガ #1 はバスへのアクセスを許可しない。これはアタブタガ #1 がそのデータを監視する場所がないことによる。アタブタガ #1 はターゲットの出力バッファアガフルでなくなるまで待機しなければならない。

[D 0-5-0] I=1 の時、[D 1-0-1] 第 9 の四脚は許可され T1-111 及び R1-120 = 1 となるので、[D 1-0-2] 第 9 の四脚は禁止される。なぜなら、[D 1-0-3] 第 9 の四脚 T1-111 及び R1-120 = 1 はバスへのアクセスを許可しない。アタブタガ #1 はバスへのアクセスを許可する場合に A1=1 となります。アタブタガ #1 はバスへのアクセスを許可する場合に A1=0 となります。R1-121 = 1 はアタブタガ #1 を遮断するため使用される。最初に、T1-111 及び R1-120 = 1 である入力バッファの最高順位を切換する [D 9-2] 及び [D 10-1]。これはアタブタガ #1 の入力バッファガニアリ・フルで、フルの出力バッファアガモのデータを有体する存在することです。次に、バッファ、アービタを所持する入力バッファアが選択される。次に、R1-121 の場合 [D 9-2] 及び [D 10-1] 及び A1=1 である入力バッファの最高順位を切換する [D 9-2] 及び [D 10-1]。これはアタブタガ #1 の入力バッファガニアリ・フルで、フルの出力バッファアガモのデータを有体する存在することです。次に、バッファ、アービタを所持する入力バッファアが選択される。この入力バッファアを有するアタブタガ #1 の入力バッファアガ、ニアリ・エンブディの出力バッファアに接続するデータを有する I=1 の場合 [D 9-2] 及び [D 10-1] 並みに 1 である出力バッファアの最高順位を切換する。R1-121 = 1 はアタブタガ #1 の入力バッファアガ、アタブタガ #1 の出力バッファアに接続するデータを有することを意味する。R1-120 = 1 の場合、R1-121 及び R1-120 = 1 が共に 1 である出力バッファア最高順位を切換する。反転 R1-121 = 1 は、アタブタガ #1 の出力バッファアガフルでないことを意味する。最後に、バッファ、アービタにより出力バッファが選択される。

[D 0-5-1] 例えば、アタブタガ #1 の番号の出力バッファアがアタブタガ #1 の入力バッファアによりターゲット指定される場合、I=1 であるので、[D 9-2] 及び [D 10-1] の四脚が使用される。T1-111 = 1 且つ A1=1 である。他のアタブタガ #1 の出力バッファアガフルでないことを意味する。最後に、バッファ、アービタにより出力バッファを有しない場合、

第1のバッファ・アービタを主張するものの方が多い。これは、それによりアタック時間とアタック数が短縮される。これは図1-Bのアタック率1に相当する時間で、リラクストラクション時間を除く。これを2倍する。また、第1ステージANDドロゲート77が不可用されるからである。

〔6862〕しかししながら、次のアタフタガ、フルの
カバッファにターケシテ表示されるデータでニアリ・
フルの入カバッファを有する場合、第1のバラフア・ア-
ビタ・8.1は、ビのアタフタガ最初アタフタであるをか

ヒタチは、このアラタクの組合シナリオをもとに作成する。例えは、アラタク1の間に、アラタク2が
ガニアイ・フルの入り口バッファをする場合、四方のラン
イン2に及び23ガハイとなり、先のバッファ・アービ
タ1に入力される。先のバッファ・アービタはペク
トル入りP1-111及びP1-111により、アラタク1
またはアラタク2のどちらか高い優先順位を有するか
を判断する。ここでアラタク1が最高順位P1-111

$\gamma = 1.1$ を有し、アーラタ率 γ がより低い後発性 PI-1.81, $\gamma = 1.01$ を有するものと数値計算する。図 11 を参照すると、第 1 ステップ後発性の算定値和ゲート 7.1 は、入力 PI-1.11 及び PI-1.81 の界線上にピクトのにおける A

ガートレード 及びゲート7-8の出力はビットの並びからそれをフィルタ出力する。最上位ビットは荷物ともう1のため、第1ステージは結合する。第1 及び第3の操作が最初でゲート7-8の出力は、第2ステージに送達され、こ

れば中國ビットを比較する。ここではPI-111. ガ1を
名するに付し、PI-121. ガ1を有するため、P
1-111. ガ1PI-121. にはることになる。従って、第1の
外輪車輪の車輪が右側の車輪であることを示す。

修復の結果モードの出力は1となり、第3のステージに送られ、第3の修復モードモードの出力は0となり。第3のステージからブロックされる。アーバタ6の出力は41=1となり。他の全ての出力は0となる。

【00-6.3】図10において、アタフタ#1に對応する四脚107が許可される。第1ステージAN.Dゲート7は、アタフタ#1によりターゲット指定される出力バ

ツッカを判断する。R1-1-21=1であるため、アラブタメ2に財産するツッカ四時3万ガキでされる。並3ステーラANDケート? 9-31は、ターケット指定されるいずれかの出力ツッカガニアリ・エンブティクを判断

する。そうである場合、EI=1なので、単に各フルの出力パラフナのゲート回路が禁止される。EI=1は、図5の四段において、RI[21]=1且つTI[21]=1で、各フルの出力パラフナがゲート回路を停止する。

による。表って、ニアリ・エンティANDゲートA9
がハイ出力を生成し、第2のバッファ・アービタ89へ
に送られる。ハイ出力は、第2のバッファ・アービタ89へ

フア・アービタ¹³はヘイ入力されるライン¹⁴をガハイビする。第2のバウフア・アービタは、バクトル人カロ¹⁵! 13! 及びDPCD¹⁶! 13! を使用し、アタフタ¹⁷はもたらす了はアタフタ¹⁸のどちらが高い優先度を有するかを判断す。アタフタ¹⁹はガより高い優先度を有する場合、G²⁰=1、ピカリ、先生君²¹がからせの他の全てのB出力は0。

となる。
【0.5.6.8】ニアリ・エンフティに対し、アタラクチの
入力カバッファによりリードゲット検定される出カバッ
フのいずれかがフルでない場合、フル確定のAND

アの出カバラフアの選抜が許される。また、E/Fの出カバラフアの選抜が許されると、これはすなはち、E/Fの選抜が許されると、E/Fの反対が許されることによる。こうして、フルの出カバラフアの選抜が許される。

【4.0.5.6】以上述べたように、図4-20の四角を採用することにより、中央アービタは、バス車において次にデータ転送するためにバスへのアクセスを所有するアービタがデータを読み取るまでの間のバスへのアクセスを保有する。

アタッカタを所有する。フルの出力カラーラップを有するアダフタに向けてターゲット指定されるニアリ・フルの入力カラップを行なうアタッカタが、バッファ・アーピタを獲得される。最初に、バッファ・アーピタを所有する

ンフディの出力バッファは、素フルの出力バッファより
も高い優先度で使用される。
【0.6.7】ニアリーフルの入力バッファを有するアタ
ブタが存在しない場合、T=3となり、图1-3及び图1-

ソルブリッシュは右側、 \square と \square と \square 及び \square の四路が使用される。最初に歩かバッファを通過し、次に入力バッファを通過するために、次にまずアルゴリズムが使用される。最初に、 $\square = 1$ の場合 1 すなわち、

あるアタラの入力バッファによりシーケンス判定される。ニアリ：エンティティの出力バッファが存在する、 $TU_{\text{L1}}[i]$ 及び Dk の両者が 1 である出力バッファの長さは計算可能である。 $Dk = 1$ は、その中の任何一个も 1 個の

吸込を可能にする。ブリーフは、他の少なくてとも1台のアタラタ向に、アタラタキの出力カバッファに接続するデータが存在することを意味する。それ以外の場合には、OK及び反転Fの両者を1つおろすカバッファ、1つ

なわち、各フルの出力バッファの全てにの最も先端社を容納化する。次に、バッファ：アービタを所有する出力バッファを通過する。後にこれをアタフタタキヒト比較定す。次に、リストルーム1、2をスルカバッファの最も先端

る。又に、RTT(RT=1)で最も入力バッファの誤差吸収性を効率化する。各ターゲット・レジスタの毎回のピットが測定される。是以、最も高い誤差吸収性により効率化される入力バッファを選択する。

【ロード】例えは、アタフタ#2がニアリ・エンラディの出力バッファを有するもの比す：中大アービタ1？は、アタフタ#2の出力バッファにターゲット端末されるデータを有する別のアタフタ#2が存在するが否かを判断する。ここにアタフタ#1の入力バッファア、アタフタ#3にターゲット端末されるデータを有するかと記述す。

ると、 $O=1$ となる。これは図 5 の四角において、 $R1=1$ 、 $R2=1$ が $O=2$ を生成し、図 5 の四角において、 $T0=R1=1$ 、 $A1=A2=1$ が $O=1$ を生成することによる。 $O=1$ の場合、図 1 の四角の「ニアリ・エンティティ」部分の A-N-D-R-G-E-T-R-I は全て不可され、「ホルブルーム」の A-N-D-R-G-E-T-R-I は全て解消される。アタブタク #1 のカバッファに対応する A-N-D-R-G-E-T-R-I に入力される他の入力は、 $T0=R1=1$ のもので全て 1 となる。第 1 ステップ A-N-D-R-G-E-T-R-I の出力は 1 となる。

【005-0】第 2 のバッファ・アービタリへのラインと出力状態であるアタブタクが候選存在する場合、バッファ・アービタクを所有するアタブタクが第 2 のバッファ・アービタリにより選択される。例えば、アタブタク #1 カニアリ・エンティティのカバッファを有し、それに対応するデータを有する場合、A 入力バトル $P1=R1=1$ 及び $P0=R1=1$ が第 2 のバッファ・アービタリにより選択される。第 2 のバッファ・アービタリは出力 $O=1$ を生成する。アタブタク #1 がバッファ・アービタクを所有する場合、 $O=1$ となる。

【005-0】第 3 のバッファ・アービタリへの入力は、図 5 の四角の $O=1$ に開通する A-N-D-R-G-E-T-R-I の全てを許可する。他のカバッファに對応するデータを有するアタブタク #1 は、そのレジスタ $R1=R2=1$ にセットされる。アタブタク #1 がアタブタク #2 に對応するデータを有するデータを有する場合には、 $R1=R2=1$ となる。これによりライン T1+I がハイとなる。それ以外のアタブタクがアタブタク #2 に對応するデータを有しない場合、第 4 のバッファ・アービタリの出力は $M=1$ となり、他の全ての出力はハイとなる。他のアタブタク、例えばアタブタク #1 がアタブタク #2 に對応するデータを有する場合、第 4 のバッファ・アービタリの出力は $M=1$ となる。アタブタク #1 がより高い優先順位を有する場合、第 4 のバッファ・アービタリは $M=1$ を生成する。

【005-1】中大アービタリ 1 は、优先的にも一時的にもバス 1 1 のバウクラントで操作する。中大アービタクはバス 1 1 の内部の初期ラインを介して、アタブタクの間で情報を送受信する。更に、中大アービタクはデータがバス上に伝送されている時間と同時に、バスをアクセスするアタブタクを決定する。

【005-2】データはブロック・サイズにより、バス上へ伝送される。単純化のため、ブロック・サイズが唯一のものとする。クロック 1 は全てのアタブタク及び中大アービタクを同期させる。例えば、第 1 のバス・サイクルの間、アタブタク #1 がブロック・データをバスに加す。

アタブタク #1 に追加する。更に第 1 のバス・サイクルの間、中大アービタクは、第 2 のバス・サイクルの間にバスへのアクセスを所有する次のアタブタクのセットを決定する。例えば、第 2 のバス・サイクルに接続はせず、中大アービタクは、アタブタク #1 がアタブタク #2 からブロック・データを送りするに決定する。

【005-3】优先のアービタクに対する本說明の内容は、アタブタクからの最も最近の待機を中断することが可能な点である。本說明によれば、状態の変化が中大アービタクを決定をせない。例えば、アタブタク #1 がアタブタク #2 に對応するデータを有し、アタブタク #1 の入力カバッファが 1 バス・サイクルの間にまだフルになっていないもののと仮定する。他の入力カバッファにつまでもフルでない場合、アタブタク #1 はその優先順位が最も劣るに、バスへのアクセスを放棄せない。しかししながら、実際、バス・サイクルの終わり近くで、アタブタク #1 の入力カバッファがニアリ・フルになり、ライン T1+I 1 を通過せずるものとする。次のバス・サイクルの開始の直前に中大アービタク 1 1 をオンするためには、既存のラッシュ回路が使用される。中大アービタク 1 は最も最近の待機によりバス・アクセスを決定する。アタブタク #1 のニアリ・フルの入力カバッファを開放するために、アタブタク #1 及びアタブタク #2 に對し、バスへのアクセスを許す。

【005-4】本說明は L-ARM に因じて改変されたため、本說明は牧歌の実現度でデータ転送を実現する他のアプリケーションにおいても使用可能である。例えば、本說明は日角さロード ATM 及び他のシステム構成においても使用される。更に、本說明は、高速データ伝送及び高精度データを要求するマルチメディア・アプリケーションにおいても使用される。

【005-5】【本說明の誤り】以上説明したように、本說明は、共用バスをアクセス可能な再生装置を運営するプロトコル構造を採用し、このプロトコル構造はバスのバックグラウンドを削除するため、バス上におけるデータのスループットを最大化する。

【図 5 の簡単な説明】

【図 1】ローカル・エリア・ネットワークなどの中間装置をサービスする複数バス、及び本說明の専用装置システムのブロック図である。

【図 2】専用装置システムの詳細ブロック図である。

【図 3】中大アービタク内のレジスタ R1 を更新する装置回路を示すブロック図である。

【図 4】中大アービタク内において専用ラインを生成する装置回路を示すブロック図である。

【図 5】中大アービタク内において専用ラインを生成する装置回路を示すブロック図である。

【図 6】中大アービタク内において専用ラインを生成する装置回路を示すブロック図である。

【図1】中大アーピングにおいて映像ラインを生成する
映像四角を示す。図である。

【図2】中大アーピングにおいて映像ラインを生成する
映像四角を示す。図である。

【図3】1=0 1キフルの出力バッファに対するテー
タセニアリ・フル映像のうち1箇の入力バッファ
が存在することを示す。これより映像アラブを生成す
る映像四角である。

【図4】1=0 1キフルの出力バッファに対するテー
タセニアリ・フル映像のうち1箇の入力バッファ
が存在することを示す。これより映像アラブを生成す
る映像四角である。

【図5】1=0 1キフルの出力バッファに対するテー
タセニアリ・フル映像のうち1箇の入力バッファ
が存在することを示す。これより映像アラブを生成す
る映像四角である。

【図6】1=0 1キフルの出力バッファに対するテー
タセニアリ・フル映像のうち1箇の入力バッファ
が存在することを示す。これより映像アラブを生成す
る映像四角である。

【図7】1=0 1キフルの出力バッファに対するテー
タセニアリ・フル映像のうち1箇の入力バッファ
が存在することを示す。これより映像アラブを生成す
る映像四角である。

図である。

【図1】1=0 1キフルの出力バッファに対するテー
タセニアリ・フル映像の入力バッファが存在しないこ
とを示す。これより映像アラブを生成する映像四角の
図である。

【付録の記述】

18 実現

19 アラブ

20 クロック

21 中大アラブ

22 クラフト・レクラスト

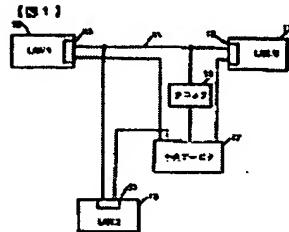
23 ラコード

24 イネーブル入力

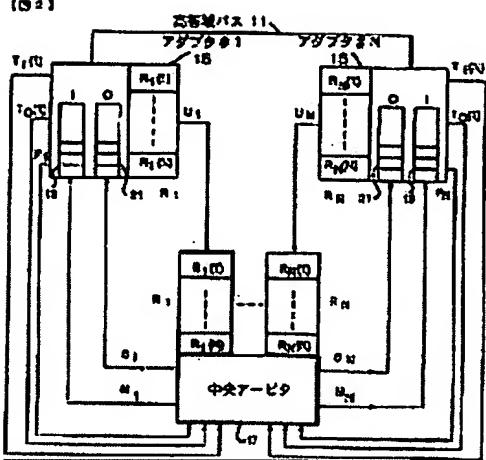
25 ライゼン実現用ゲート

26 ラブ四角

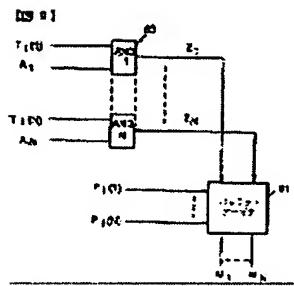
27 167 映像四角

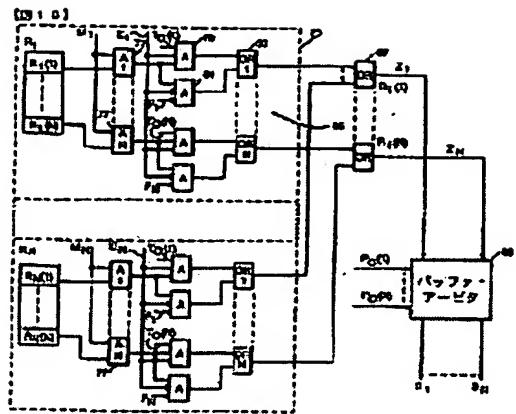


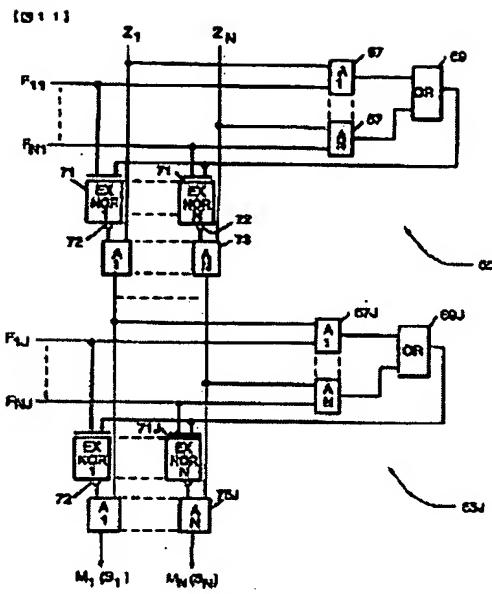
[図2]

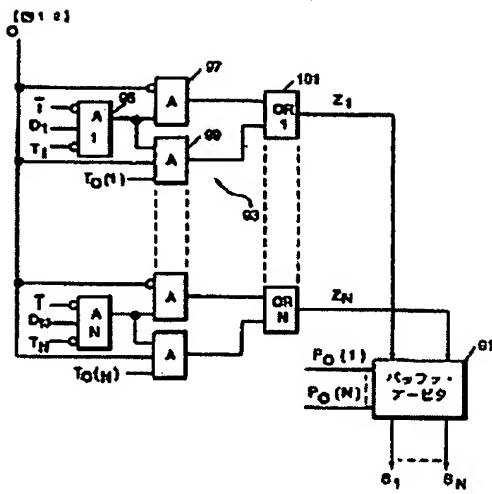


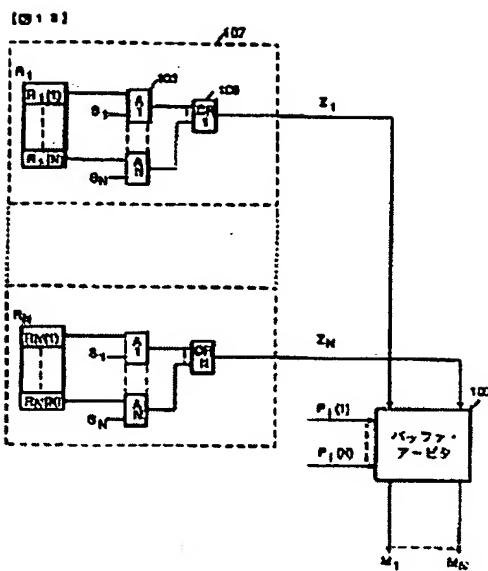
[図3]











フロント/リヤの制御

登録発明者 アンドリュー・ジョン・リンクス、オード
メリカ合衆国PTM7、ノースカロライナ
州ラム、ウェームズ・ストリート 1421

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.